

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-189431  
(P 2 0 0 1 - 1 8 9 4 3 1 A)  
(43) 公開日 平成13年 7 月10日 (2001. 7. 10)

(51) Int. Cl. <sup>7</sup>	識別記号	F I		ターコード (参考)
H01L 27/10	451	H01L 27/10	451	5F083
51/00		29/28		

審査請求 未請求 請求項の数15 O L (全8頁)

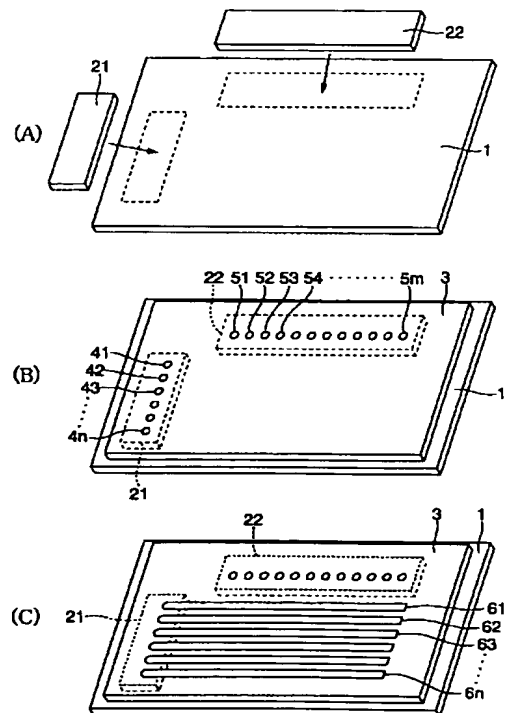
(21) 出願番号	特願平11-375809	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿 2 丁目 4 番 1 号
(22) 出願日	平成11年12月28日 (1999. 12. 28)	(72) 発明者	前田 浩 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内
		(72) 発明者	井上 聡 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内
		(74) 代理人	100079108 弁理士 稲葉 良幸 (外 2 名)
		F ターム (参考)	5F083 FZ07 JA36 JA38 JA43 ZA21

(54) 【発明の名称】 メモリのセル構造及びメモリデバイス

(57) 【要約】

【課題】 多値化データを保存可能なインピーダンス相変化膜を利用したメモリを提供する。

【解決手段】 有機材料 7 としてインピーダンス相変化膜を適用し、このインピーダンス相変化膜が持つヒステリシス特性を利用するべく、1 メモリセル内において有機材料の膜厚を変えたり、電極殿接面積を変える構造とし、書込電圧 VW をヒステリシス特性におけるインピーダンス状態変移点を境に設定することで、1 メモリセルに記憶保持可能な情報を多値化 (1 ビットを超える情報を記憶) することができる。



## 【特許請求の範囲】

【請求項 1】 電極間にインピーダンス相変化膜が設けられてなるメモリのセル構造であって、前記電極間の 1 メモリセル内のインピーダンス相変化膜が複数の領域から構成されてなる多値情報を記録可能なメモリのセル構造。

【請求項 2】 前記 1 メモリセル内のインピーダンス相変化膜が I - V 特性でのしきい値電圧が異なる複数の領域から構成されてなる請求項 1 記載の構造。

【請求項 3】 行電極と列電極との間にインピーダンス相変化膜が設けられてなるメモリのセル構造であって、前記電極間の 1 メモリセル内のインピーダンス相変化膜が膜厚の異なる複数の領域から構成されてなる多値情報を記録可能なメモリのセル構造。

【請求項 4】 行電極と列電極との間にインピーダンス相変化膜が設けられてなるメモリのセル構造であって、前記電極間の 1 メモリセル内のインピーダンス相変化膜が幅の異なる複数の領域から構成されてなる多値情報を記録可能なメモリのセル構造。

【請求項 5】 電極間への印加電圧値に応じて前記各領域毎に異なる組み合わせの高インピーダンス状態又は低インピーダンス状態を構成することにより、1 ビットを超える情報を記録可能とした請求項 1 乃至 4 のいずれか記載のいずれか 1 項記載のメモリセル構造。

【請求項 6】 電極間にインピーダンス相変化膜が設けられてなるメモリのセル構造であって、前記電極間のインピーダンス相変化膜内に補助電極が設けられ、一方の電極と補助電極間、他方の電極と補助電極間を異なる組み合わせの高インピーダンス状態又は低インピーダンス状態に構成する多値情報を記録可能なメモリのセル構造。

【請求項 7】 前記電極間が幅の異なる複数の部分から構成されてなり、各部分に前記インピーダンス相変化膜の前記各領域が設けられてなる請求項 3 記載のメモリのセル構造。

【請求項 8】 1 メモリセルの一方の電極が異なる幅寸法で分割されることにより、1 メモリセルの電極間に挟持されるインピーダンス相変化膜の幅が各領域で異なるように形成してなる請求項 4 記載のメモリのセル構造。

【請求項 9】 前記インピーダンス相変化膜が有機インピーダンス相変化膜である請求項 1 乃至 8 のメモリのセル構造。

【請求項 1 0】 行電極と列電極との間に前述の何れかの請求項記載のメモリセルをアレイ状に配置してなるメモリデバイスであって、書込み及び読出しするメモリセルの行及び列の位置を指定するデコーダを含み、このデコーダを制御して選択したメモリセルに情報を書き込み、又は選択したメモリセルの情報を読み込む周辺回路を有し、この周辺回路は前記メモリセルへの書き込み時、前記 1 メモリセルのインピーダンス相変化膜の複数

の領域が異なる組み合わせのインピーダンス状態を構成可能な電圧を前記電極間に供給する電圧制御手段を備えてなるメモリデバイス。

【請求項 1 1】 前記メモリセルがパッシブ駆動である請求項 1 0 記載のメモリデバイス。

【請求項 1 2】 前記インピーダンス相変化膜の各領域の I - V 特性におけるしきい値電圧が異なり、前記制御手段はこのしきい値電圧との比較において複数の電圧状態を前記電極間に供給するように構成されてなる請求項 1 0 記載のメモリデバイス。

【請求項 1 3】 電極間にインピーダンス相変化膜材料を形成してなるメモリの製造方法において、電極上にインピーダンス相変化膜層が複数の領域からなるよう形成する工程を備えてなるメモリの製造方法。

【請求項 1 4】 1 ビットを超える多値化データを記録可能なメモリ。

【請求項 1 5】 前記複数の領域はメモリセルの幅方向或いは厚さ方向、あるいはその両方に形成されてなる請求項 1 記載のメモリのセル構造。

## 【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】本発明は、情報を読み書きする 1 単位であるメモリセルの構造、及び、このメモリセルをアレイ状に配置し、行及び列電極のデコーダを制御することで、各メモリセルへ情報を書き込み、かつ各メモリセルから情報を読み出すメモリデバイスに関するものである。

【 0 0 0 2 】

【従来の技術】半導体メモリデバイスでは、情報を任意に書き込み、読み出しができる RAM と、情報の読み出しを主な機能とする ROM に大別される。さらに、RAM はダイナミック型とスタティック型に分類され、ROM は、書き込みが可能なもの、書換えが可能なもの、書き込みができないものに分類される。

【 0 0 0 3 】半導体メモリの記憶容量は、ビットを単位として、0 または 1 の情報を貯えるメモリセルの数で表すことができる。一般にメモリセルは、縦横に規則正しくマトリクス状に配列されている。

【 0 0 0 4 】例えば、2 5 6 K ビットは、約 2 5 0 0 0 0 個のメモリセルが配列され、1 M ビットは、約 1 0 0 万個のメモリセルが配列されている。

【 0 0 0 5 】素子数は、例えば 1 M ビットを例にとると、ダイナミック RAM では、約 2 1 0 万個のセル部の素子に周辺回路部を加えて、約 2 5 0 万素子となり、スタティック RAM では、約 6 3 0 万個のセル部の素子に周辺部を加えて約 6 5 0 万個の素子がチップ上に集積されている。

【 0 0 0 6 】

【発明が解決しようとする課題】集積技術にも限界があるために、前述のデータ（0 又は 1）以外の中間的デー

タを持たせ、1メモリセルで表現可能な情報を増加することが提案されている。例えば、フラッシュメモリでは書き込み電圧や書き込み時間を変えてしきい値電圧を変えることによりメモリ記憶データを1ビット以上の多値化している。しかしながら、メモリに多値化されたデータを安定して保持するのは難しい。そこで、本発明者は、高速性、低消費電力、高集積性、耐書き換え特性に優れたメモリ構造を利用してこの課題を解決しようとした。本発明は、この課題を解決するための多値化データを保存可能なメモリの構造を提供することを目的とする。さらに、本発明は多値化データを安定して保存可能なメモリを提供することを目的とする。さらに本発明はパッシブ駆動をする多値化データを保存可能なメモリを提供することを目的とする。さらに本発明は多値化データを保存可能なメモリの電圧制御手段を備えたデバイスを提供することを目的とする。

#### 【0007】

【課題を解決するための手段】この目的を達成するために本発明は、電極間にインピーダンス相変化膜が設けられてなるメモリのセル構造であって、前記電極間の1メモリセル内のインピーダンス相変化膜が複数の領域から構成されてなる多値情報を記録可能であることを特徴とする。1メモリセル内のインピーダンス相変化膜を複数の領域から構成することによって、各領域のインピーダンスの状態の組合せを複数実現することができ、1メモリセル内で多値の抵抗が得られ、その結果、1メモリセルが1ビットを越える多値の情報を記録することができる。

【0008】例えば、1メモリセル内のインピーダンス相変化膜を膜厚がそれぞれ異なる複数の領域から構成するか、また、1メモリセル内のインピーダンス相変化膜を幅がそれぞれ異なる複数の領域から構成するか、又はその組合せである。この構成によれば、前記1メモリセル内のインピーダンス相変化膜がI-V特性でのしきい値電圧が異なる複数の領域から構成されることにより、メモリへの書き込み電圧を複数のしきい値電圧との比較において変化させると、インピーダンス状態（高インピーダンス或いは低インピーダンス）が変化するインピーダンス相変化膜の領域の組合せを複数得ることができる。

【0009】また、本発明の他の形態は、一対の電極間に補助電極を形成して、各電極と補助電極間のインピーダンス相変化膜に複数の領域を作ることである。各領域のインピーダンス状態を変化させることにより、電極間にあるインピーダンス相変化膜にインピーダンス状態が異なる複数の領域の組み合わせを作ることができる。

【0010】また本発明は、このメモリセルをアレイ状に複数形成し、かつ周辺駆動回路をさらに備えた強誘電メモリデバイスである。

【0011】インピーダンス相変化膜としては公知の無

機及び／又は有機材料からなり、電圧値に応じて高インピーダンス（絶縁状態）と低インピーダンス（導電状態）のいずれかをとり、スイッチング機能を発揮するインピーダンススイッチング材料から構成することができる。この材料には、M-TCNQ（Mは金属）で表される公知の（有機）電荷移動錯体を広く使用することができる。この電荷移動錯体は、例えば、PCT/WO98/52383号公報、特許出願公開昭和62年95883号公報、同平成3年137896号公報、同平成3年137894号公報、同平成4年145664号、「A new material for optical, electrical and electronic thin film memories" Vacuum 43, No.11, pp.1019-1023(1992)」に記載の全ての材料を使用することができる。

【0012】パッシブ駆動される単純マトリクス型のメモリを作る上ではインピーダンスが低い有機インピーダンス相変化膜を使用する。

【0013】本発明によれば、1メモリセル内に多値情報を記録できるために、集積度がそのままでも記録情報量が増大されたメモリを提供することができる。

【0014】すなわち、上記の発明として捉える場合、一対の電極間の電圧-電流特性は、図1に示すような曲線となる。すなわち、電圧が所定値までな低インピーダンス状態を維持し、この所定値の電圧を超えると高インピーダンス状態を維持することになる。本発明の全般として、このインピーダンス状態の変化に着目し、単一のメモリセル内に2つ以上の異なる電圧-電流特性を持たせ、書き込み電圧をそれぞれのインピーダンス状態の転移電圧を境界として設定することで、多値化が可能となる。

#### 【0015】

【発明の実施の形態】次に本発明の実施の形態について説明する。図1はインピーダンス相変化膜を利用したメモリデバイスのブロック図を示している。中央の枠は、多数のメモリセル100が縦横のマトリクス状に規則正しく配列されたメモリセル群102を示している。このメモリセル群102の互いに隣合う2辺には、縦辺に対応して行デコーダ21が配設され、横辺に対応して列デコーダ22が配設されている。

【0016】メモリセル群102には、メモリセル100の行及び列数に対応して、それぞれ一対の電極としてのワードライン6及びビットライン8が格子状に配線されている。このワードライン60（一方の電極）及びビットライン80（他方の電極）は、I/Oコントロール回路104を介して行デコーダ21及び列デコーダ22に接続されている。

【0017】行デコーダ21には、複数の行アドレス入力ライン106が設けられている。各ラインからは0又は1のビット信号化された行アドレスが入力されるようになっている。一方、列デコーダ22には、複数の列ア

ドレス入力ライン108が設けられている。各ラインからは0又は1のビット信号化された列アドレスが入力されるようになっている(行及び列アドレス端子A<sub>1</sub>～A<sub>n</sub>(図2では、n=10))。

【0018】行デコーダ21及び列デコーダ22では、入力された2値データを10進化してワードライン6及びビットライン8を選択する。選択されたワードライン60及びビットライン80へ、I/Oコントロール回路104を介して信号が送られると、その交点にあるメモリセルのみが、両ライン60、80の信号によって回路とつながり、当該セルへの情報の書き込み或いは当該セルからの情報の読み出し(センスアンプ110、入出力制御112等の周辺機器による)が可能な構造となっている。

【0019】メモリデバイスを模式的に示すと、図2(B)に示すような形状となる。この図2(B)において、1は基板、3は平坦化膜、7は有機インピーダンススイッチング層(有機メモリ材料)、61、62、63、・・・6nはワードライン(以下、下部電極60という)、81、82、83、84、・・・8nはビットライン(以下、上部電極80という)、21は行デコーダ、22は列デコーダである。

【0020】多値化された情報を記録可能な1メモリセルの第1の例は、図3(A)及び(B)に示される如く、行又は列の一对の電極60、80間に有機インピーダンススイッチング体7が挟まれ構造を備えている。下部電極60に対向する上部電極80には、それぞれ下部電極60に向けて複数の(3個)凸部116が形成されている。この凸部116の突出量はそれぞれ異なり、図3(B)の左端が最も突出量の多い凸部116Aであり、図3(B)の右端が最も突出量の少ない凸部116Cであり、図6(B)中央がその中間的な突出量の凸部116Bである。上部電極80と下部電極60との間の有機インピーダンススイッチング体の膜厚は各凸部と下部電極間で異なることになる。凸部116Aの膜厚<凸部116Bの膜厚<凸部116Cの膜厚。したがって、上部電極と下部電極間のインピーダンススイッチング体は膜厚が異なる3つの領域を備える。有機インピーダンススイッチング相7は、その膜厚に応じてインピーダンスが異なり、かつ印加電圧によって高インピーダンス状態又は低インピーダンス状態に変移する。3種類の凸部116A、116B、116Cのそれぞれに隣接するインピーダンススイッチング体の領域をそれぞれa、b、cとすると、電圧-電流特性は、図4に示されるようになる。

【0021】図4において、(a)は図3(B)のa部分のI(電流)-V(電圧)特性、(b)はb部分の同特性、(c)はc部分の同特性、V<sub>a</sub>は(a)特性のしきい値電圧、V<sub>b</sub>は(b)特性のしきい値電圧、V<sub>c</sub>は(c)特性のしきい値電圧である。インピーダンス変化

膜の膜厚の相異によって異なるしきい値電圧で各部分のインピーダンス状態が変移していることが分かる。

【0022】インピーダンススイッチング膜のa乃至bの部分に相当する等価回路が図5に示されている。R<sub>a</sub>はa部分の抵抗値、R<sub>b</sub>はb部分の抵抗値、R<sub>c</sub>はc部分の抵抗値である。R<sub>a</sub>、R<sub>b</sub>、R<sub>c</sub>の各々は高インピーダンス状態(R<sub>ah</sub>、R<sub>bh</sub>、R<sub>ch</sub>)と低インピーダンス状態(R<sub>al</sub>、R<sub>bl</sub>、R<sub>cl</sub>)がある。

【0023】ここで、書き込み電圧(V<sub>w</sub>)を下記の表のように変化させると、インピーダンス状態が変化するインピーダンス相変化膜(インピーダンススイッチング膜)部分(メモリ部分)の組合せを3通り次の表のように作ることができる。

【0024】

【表1】

	書き込み電圧V <sub>w</sub>	状態変化するインピーダンス相変化膜部分
I	V <sub>b</sub> >V <sub>w</sub> >V <sub>a</sub>	a
II	V <sub>c</sub> >V <sub>w</sub> >V <sub>b</sub>	a, b
III	V <sub>w</sub> >V <sub>c</sub>	a, b, c

例えば、読み出し電圧V<sub>read</sub><V<sub>a</sub>電極間に引加すると、IIIの状態の時は、R<sub>al</sub>、R<sub>bl</sub>、R<sub>cl</sub>の並列接続となる。すなわち、多値の抵抗値が得られることになる。電極間に一定値の読み出し電圧を加えた場合、前記表の抵抗値の組合せに応じて、それぞれ異なる電流が流れることになる。したがって、1メモリセル内に1ビットを越える情報を記録することができる。ることができることを意味する。

【0025】次に本発明に係わるメモリデバイスの製造方法について説明する。図6(A)～(C)はメモリデバイスの各製造工程における斜視図である、図6図(C)は2図(A)及び同(B)につながっている。図6の(A)、(B)、(C)は図7の(A)、(B)、(C)に対応し、図2の(A)、(B)は図7(D)、(E)に対応している。

【0026】図6(A)及び図7(A)に示すように、周辺回路21、22を基板1に転写形成する。基板1は後述する平坦化膜、有機インピーダンス相スイッチング材料、下部電極及び上部電極の形成において、耐熱性、耐食性等を備え、所望の機械的強度を有する材質であれば、特に限定されるものではなく、プラスチック基板、石英基板等を使用することができる。

【0027】次に、図6(B)及び図7(B)に示すように、基板1上のメモリセル領域及び周辺回路21、22を含む領域に平坦化膜3を形成し、さらに、周辺回路21と後に形成されるn本の下部電極との接続端子位置

に合わせて  $n$  個のコンタクトホール 41、42、 $\dots$  4  $n$  を形成する。また、同時に周辺回路 22 と後に形成される  $m$  本の上部電極との接続端子位置に合わせて  $m$  個のコンタクトホール 51、52、 $\dots$  5  $m$  を形成する。

【0028】平坦化膜 3 は、基板 1 上に転写形成された周辺回路 21、22 と基板 1 との段差を吸収し、周辺回路 21、22 と下部電極及び上部電極との接続を可能にするために設けられる薄膜であり、絶縁性を有する薄膜であれば特に限定されるものではない。

【0029】次に、図 6 (C) 及び図 7 (C) に示すように、コンタクトホール 41、42、 $\dots$  4  $n$  に接続する  $n$  本の下部電極を 61、62、 $\dots$  6  $n$  をメモリセル領域にわたって形成する。下部電極を形成するには、例えば、Al、RuO<sub>2</sub>、Rt、IrO<sub>2</sub>、YBa<sub>2</sub>CuO<sub>7</sub>、OsO<sub>2</sub>、MoO<sub>2</sub>、ReO<sub>2</sub>、WO<sub>2</sub>、Au、Ag、In、In-Ga 合金、Ga 等の導電性材料の微粒子を適当な溶媒に溶かして導電性材料液を調整し、インクジェット式記録ヘッドを用いてストライプ状にパターニング塗布すればよい。

【0030】次に、図 2 (A) 及び図 5 (D) に示すように、メモリセル領域に有機インピーダンス相変化膜材料 7 を成膜する。ここで、有機インピーダンススイッチング膜は図 3 に示すようにパターニングされ、かつ各領域間で膜厚が異なるように構成される。図 3 に示すように、下部電極 60 上に絶縁膜を設け、この絶縁膜をパターニングして 1 メモリセル内に仕切部材 110 を設け、仕切部材によって仕切られた 3 カ所の領域に有機強誘電材料を例えばインクジェット法によって形成する。各領域の有機インピーダンススイッチング膜の厚さはそれぞれの領域で異なる厚さに形成している。

【0031】次いで、図 2 (B) 及び図 5 (E) に示すように、コンタクトホール 51、52、 $\dots$  5  $m$  に接続する  $m$  本の上部電極 81、82、 $\dots$  8  $m$  をメモリセル領域にわたって形成する。上部電極は、下部電極と同様にインクジェット式記録ヘッドを用いてパターニング形成すればよい。下部電極のメモリ素子の表面を樹脂等で封止処理すれば、単純マトリクス型メモリデバイスを得ることができる。

【0032】上記メモリデバイスの製造の際に、1 つのメモリセルの中に膜厚の異なる有機材料 7 を独立して設け、かつ上部電極の下面 (下部電極と対向する面) に凸部を形成することにより、多値化されたメモリセルを形成することができる。

【0033】図 3 に示すメモリ構造によれば、0 以外に 3 種類の情報を記憶することが可能である。

【0034】本発明の第 2 の実施形態について説明する。なお、この第 2 の実施形態において前記第 1 の実施形態と同一構成部分については、同一の部品番号を付してその構成の説明を省略する。

【0035】第 2 の実施形態の特徴は、第 1 の実施形態が有機材料 7 の膜厚を変えていたのに対して、上部電極 80 の形状 (幅) を変えた点である。図 8 に示される如く、1 メモリセルに対応する 1 本の帯状の上部電極を異なる幅寸法の複数本 (この第 2 の実施形態では 3 本) の分割電極 80A、80B、80C にしている。下部電極と各分割電極との間には幅が異なる複数の誘電体領域が存在する。すなわち、1 メモリセル内に異なる幅寸法の上部電極 80A、80B、80C が存在し、それぞれ有機材料 7 との接触面積 (幅) が異なっている。a は幅が最小のメモリ領域、b は幅が中間のメモリ領域、c は幅が最大のメモリ領域である。a : b : c は例えば 1 : 2 : 4 である。R<sub>a</sub>、R<sub>b</sub>、R<sub>c</sub> はそれぞれ a、b、c 領域の抵抗値である。有機誘電体材料 7 は、この接触面積が異なると、既述の第 1 実施例のようにインピーダンス特性が変化するために、1 メモリセル内で分割した複数の上部電極間と下部電極との間に多値の抵抗値を持たせることができる。

【0036】次に本発明の第 3 の実施形態について説明する。この第 3 の実施形態において前記第 1 の実施形態と同一構成部分については、同一の部品番号を付してその構成の説明を省略する。第 3 の実施形態の特徴は、上記第 1 及び第 2 の実施形態のように、有機インピーダンススイッチング膜材料の膜厚や電極との接触面積がメモリセルの平面視でずれた位置に異なる領域を設けるのではなく、1 つのメモリセルの膜厚方向でインピーダンス及びインピーダンス状態の変移が変化するように構成したものである。すなわち、図 9 に示される如く、下部電極 60 と上部電極 80 との間に補助電極 120 を設けた 3 層電極構造となっている。下部電極 60 と上部電極 80 とは、同一方向に延びるストライプとなり、補助電極 120 が、これら下部電極 60 及び上部電極 80 に対して直交するように設けられている。

【0037】この実施形態においては、メモリの 1 セルは、上下電極及び補助電極及び補助電極と上下電極間に存在するインピーダンススイッチング膜から構成される。インピーダンススイッチング膜は、補助電極と上部電極、補助電極と下部電極との間の 2 つの領域から構成される。前者の領域を a とし、後者の領域を b とすると、これら領域のインピーダンスの状態は、(a, b) = (H, L)、(L, H)、(H, H)、(L, L) の組合せが得られる。補助電極に対して上下の電極の電圧を変えることによって上下方向のインピーダンスを変えることにより 2 ビットの情報をセルに記憶させることができる。なお、1 メモリセル内に複数の補助電極を設け、補助電極と上下電極との間の a、b を 1 メモリセル内の補助電極間で変えるようにしても良い。

【0038】以上説明した如く既述の実施形態によれば、メモリ材料としてインピーダンス相変化膜を適用し、このインピーダンス相変化膜が持つヒステリシス特

性を利用して、1メモリセル内においてインピーダンス相変化膜に複数の領域を設けることにより、1メモリセルに記憶保持可能な情報を多値化（1ビットを超える情報を記憶）することができる。

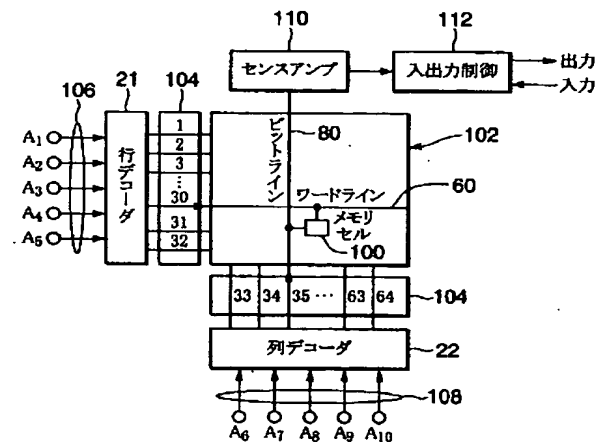
【0039】なお、本発明に係わるメモリ構造をアクティブマトリクス型メモリに適用することもできる。また、メモリ材料としては有機強誘体材料の他に無機インピーダンス相変化膜材料を利用することもできる。

【0040】

【発明の効果】以上説明した如く本発明によれば、多値化データを保存可能なインピーダンス相変化膜を利用したメモリの構造を提供することができる。さらに、本発明によれば多値化データを安定して保存可能なインピーダンス相変化膜を利用したメモリを提供することができる。さらに、本発明はパッシブ駆動をする多値化データを保存可能なインピーダンス相変化膜を利用したメモリを提供することができる。さらに本発明は多値化データを保存可能なインピーダンス相変化膜を備えたメモリの電圧制御手段を備えたデバイスを提供することができる。

【図面の簡単な説明】

【図1】インピーダンス相変化膜を備えたメモリの機能ブロック図である。



【図1】

【図2】強誘電体メモリデバイスの製造工程図である。

【図3】第1の実施形態に係るメモリデバイスのメモリセルの構造説明図であり、(A)はその平面図、(B)は3B-3B断面図である。

【図4】第1の実施形態に係るメモリデバイスのセル構造における電流-電圧特性図である。

【図5】そのメモリデバイスの等価回路である。

【図6】第1の実施形態に係るメモリデバイスの製造工程を示す斜視図。

【図7】第1の実施形態に係るメモリデバイスの製造工程を示す断面図。

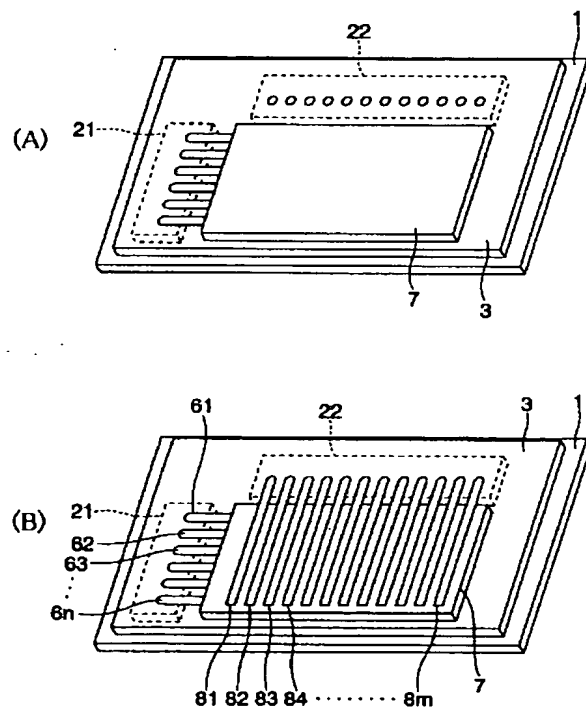
【図8】第2の実施形態に係るメモリセルの断面方向の構造模式図。

【図9】第3の実施形態に係る同模式図。

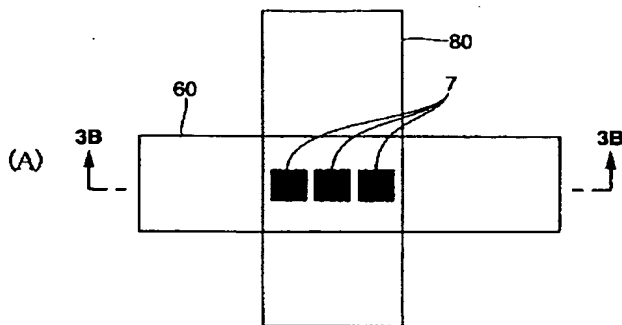
【符号の説明】

- 7 有機材料（インピーダンス相変化膜）
- 21 行デコーダ
- 22 列デコーダ
- 60 ワードライン（下部電極）
- 80 ビットライン（上部電極）
- 100 メモリセル
- 116 凸部

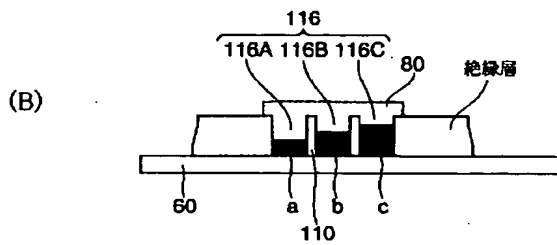
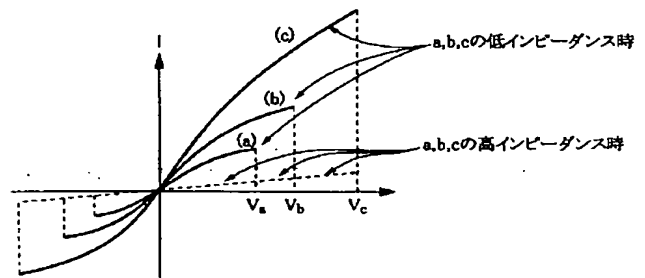
【図2】



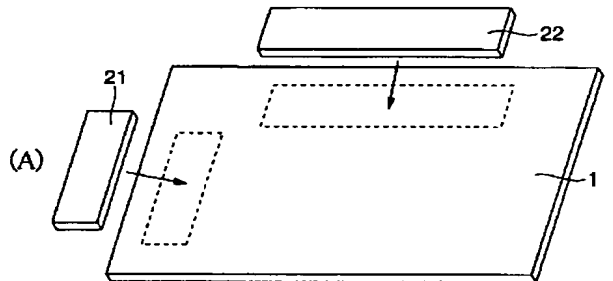
【図3】



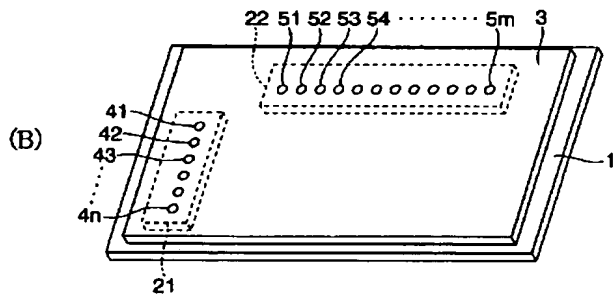
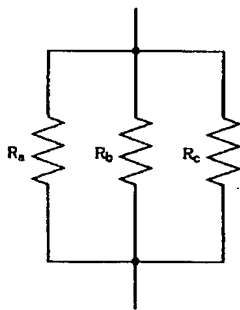
【図4】



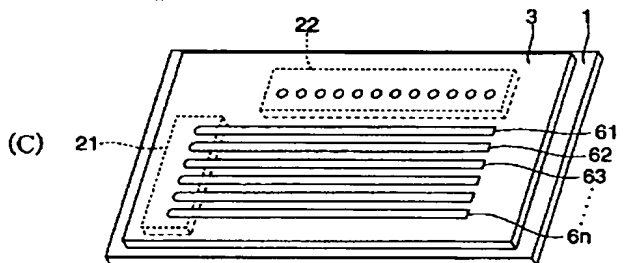
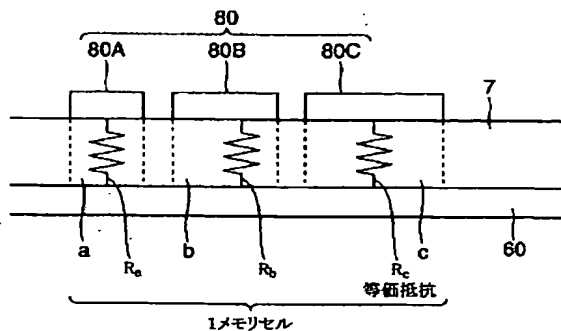
【図6】



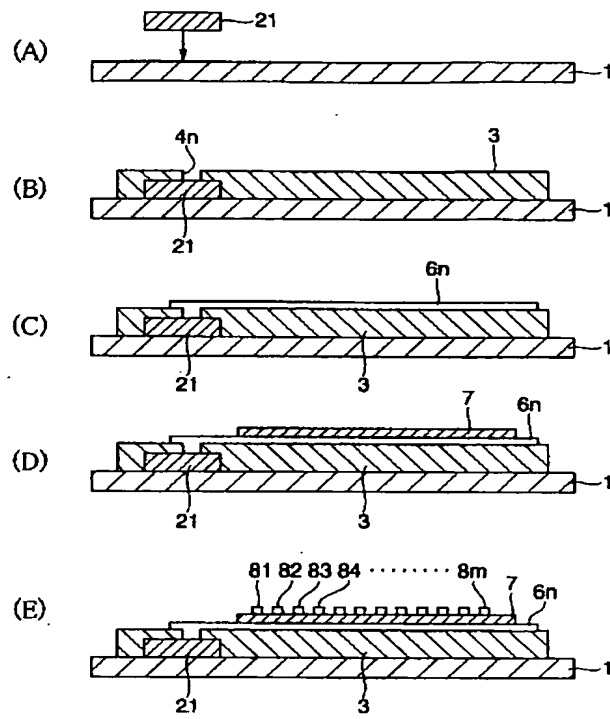
【図5】



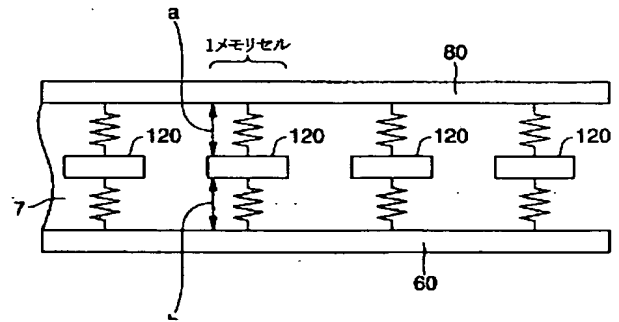
【図8】



【図 7】



【図 9】





## **Partial Translation of the Publication**

**(Publication No. JP2001-189431, from the 11<sup>th</sup> line to the 20<sup>th</sup> line of the 7<sup>th</sup> column on p.5)**

[0029] it is shown in drawing 6 (C) and drawing 7 (C), n lower electrodes 61, 62, ... 6n linked to contact holes 41 and 42 and ... 4n are formed over a memory cell field. In order to form the lower electrode, What is necessary is to melt the particle of conductive materials, such as aluminum, RuO<sub>2</sub>, Rt, IrO<sub>2</sub>, YBa<sub>2</sub> CuO<sub>7</sub>, OsO<sub>2</sub>, MoO<sub>2</sub>, ReO<sub>2</sub>, WO<sub>2</sub>, Au, Ag and In, an In-Ga alloy, and Ga, to a suitable solvent, to adjust conductive material liquid, and just to carry out patterning spreading at the shape of a stripe using an ink jet type recording head.

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-189431

(43)Date of publication of application : 10.07.2001

(51)Int.Cl.

H01L 27/10

H01L 51/00

(21)Application number : 11-375809

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 28.12.1999

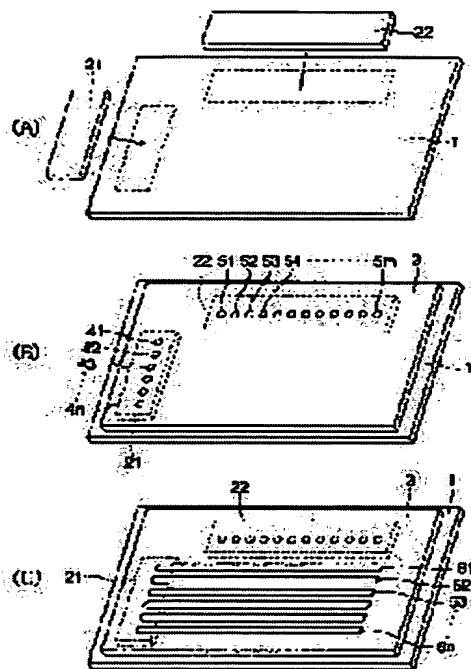
(72)Inventor : MAEDA HIROSHI  
INOUE SATOSHI

## (54) MEMORY CELL STRUCTURE AND MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a memory, in which an impedance phase change film capable of storing multi-valued data, used.

SOLUTION: An organic material 7 is used as an impedance phase change film, the organic material film is changed in thickness or varied in contact area with an electrode in a memory cell, so as to utilize the hysteresis characteristics of the impedance phase change film, a write voltage VW is set at an impedance state transition point in a hysteresis characteristics, by which data that are stored and held in a memory cell can be made multi-valued (for storing data larger than 1 bit).



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office